

13-1

제6도는 제5도에 있어서의 제조도중의 반도체기판의 평면도.

제7도는 제6도의 반도체기판의 면저항 면내분포도.

제8도는 제5도의 제조방법에 의해 제조된 반도체기판의 에피택셜성장막의 막두께 분포도.

제9도 내지 제11도는 유전체분리구조를 갖춘 반도체직접회로의 단면도.

제12도 내지 제17도는 종래의 반도체기판의 제조공정을 설명하기 위해 도시한 도면.

제18도는 종래의 절연확산층을 분리에 이용한 반도체직접회로의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

70 : 제1반도체기판(N형 실리콘기판) 71 : 유전체(2산화실리콘막)

72 : 제2반도체기판(N형 실리콘기판) 73 : 고농도불순물 N형 실리콘층

74 : 저농도불순물 N형 실리콘층

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 유전체분리구조를 구성하는 반도체기판에 관한 것으로, 특히 반도체기판의 각 층의 막두께 정밀도의 개량에 관한 것이다.

[종래의 기술 및 문제점]

종래 반도체직접회로의 화로소자를 형성할 경우, 다른 화로소자와 분리된 섬모양으로 된 화로소자[이하, 분리도(分離島)라 약칭한다.]를 형성하기 위해 각종의 분리방법이 이용되고 있다. 그 분리방법 중에 분리도의 주위(측면과 밑면)를 어떤 유전체에 의해 완전히 포위하는 구조의 유전체분리방법이 있다.

제9도에 종래의 분리도의 제1예로서 유전체분리구조를 갖춘 반도체장치(NPN형 트랜지스터)의 예의 단면도를 도시한다. 즉, 반도체기판(1) 상층에 절연층(2; SiO₂)이 형성되고, 또 그 상층에 고농도 N형 실리콘층(3)이 형성되어 있다. 그리고 상기 실리콘층(3)의 상층에는 저농도 N형 실리콘층(4)이 형성됨과 더불어 콜렉터로 되는 N형 불순물확산층(5)도 형성되어 있다.

또 상기 저농도 N형 실리콘층(4) 중에 베이스로 되는 P형 불순물확산층(6)이 형성되고, 또 이 확산층(6) 중에 에미터로 되는 N형 불순물확산층(7)이 형성되어 있다.

따라서, 이 반도체장치는 밑면이 상기 절연막(2)으로 분리되고, 측면에는 사방으로 도랑을 설치함에 따라 다른 화로소자와 분리하고 있다. 그리고, 이 도랑의 양측면을 따라서 절연막(8 및 10; SiO₂)으로 둘러싸고, 그 가운데에 다결정실리콘층(9)이 형성되어 있다. 결국 절연막중에 다결정실리콘층이 삽입된 벽과 같은 구조에 의해 주위를 에워싸서 다른 화로소자와 분리하고 있다.

또 제10도에 종래의 제2실시예에 따른 유전체분리구조를 갖춘 반도체장치(NPN형 트랜지스터와 PNP형 트랜지스터로 구성)의 단면도를 도시한다. 이하, 제9도와 동일한 부분에는 동일한 참조부호를 표기하고, 그에 대한 상세한 설명은 생략하며, 다른 부분에 대해서만 설명한다.

PNP형 트랜지스터에 있어서 참조부호 11은 고농도 P형 실리콘층이고, 이것은 절연막(2; SiO₂)상층에 형성되어 있다. 그리고 상기 실리콘층(11) 상층에는 저농도 P형 실리콘층(12)이 형성됨과 더불어 콜렉터로 되는 P형 불순물확산층(13)도 형성되어 있다.

또 상기 저농도 P형 실리콘층(12)중에 베이스로 되는 N형 불순물확산층(14)이 형성되고, 또 이 확산층(14) 중에 에미터로 되는 P형 불순물확산층(15)이 형성되어 있다.

따라서 이 반도체장치에서도, 밑면이 상기 절연층(2)으로 분리되고, 측면사방이 절연막(8,10)에 다결정실리콘층(9)이 삽입된 벽과 같은 구조에 의해 주위를 둘러싸 다른 화로소자와 분리하고 있다.

또한, 제11도에 종래의 제3실시예에 따른 유전체분리구조를 갖춘 반도체장치(NPN형 트랜지스터, PNP형 트랜지스터를 갖춘 Bi-CMOS구조)의 단면도를 도시한다. 이하 제9도, 제10도와 동일한 부분에는 참조부호를 표기하고, 그에 대한 상세한 설명은 생략하며, 다른 부분에 대해서만 설명한다.

우선 NPN형 트랜지스터부는 저농도 N형 실리콘층(4)중에 저농도 P형 실리콘층(16)이 형성되고, 또 이 실리콘층(16)중에 베이스로 되는 고농도 P형 실리콘층(17)과 에미터로 되는 고농도 N형 실리콘층(18)이 형성되어 있다.

또, PNP형 트랜지스터부는 저농도 P형 실리콘층(12)중에 저농도 N형 실리콘층(19)이 형성되고, 또 이 실리콘층(19)중에 베이스로 되는 고농도 N형 실리콘층(20)과 에미터로 되는 고농도 P형 실리콘층(21)이 형성되어 있다. 또 채널 MOS부는 고농도 P형 실리콘층(11)상층에 저농도 N형 실리콘층(4)이 형성되고, 이 실리콘층(4)의 상층에 P웰부(22)가 형성된다. 그리고 이 P웰부(22) 중에 드레인으로 되는 고농도 N형 실리콘층(23)과 소오스로 되는 고농도 P형 실리콘층(24)이 이간되어 형성되고, 이들 실리콘층(23,24)의 상면에 걸쳐있는 SiO₂막(25)을 매개로 게이트(26)가 형성되어 있다.

또 P 채널 CMOS부는 고농도 N형 실리콘층(3)의 상층에 저농도 N형 실리콘층(4)이 형성되고, 이 실리콘층(4)의 상층에 N웰부(27)가 형성된다. 그리고 이 N 웰부(27)중에 트레인으로 되는 고농도 P형 실리콘층(28)과, 소오스로 되는 고농도 P형 실리콘층(29)이 이간되어 형성되고, 이들 상면에 걸쳐 있는 SiO₂막(30)을 매개로 게이트(31)가 형성되어 있다.

그리고 상기 각 NPN, PNP형 트랜지스터부 및 N채널, P채널 MOS부의 콜렉터, 베이스, 에미터, 드레인, 소

오스의 상면에는 각각 A1전극이 설치되어 있고, 또 각 전극간에는 다결정실리콘의 소자분리층이 설치되어 있다.

또 각 NPN, PNP형 트랜지스터부 및 N채널, P채널 MOS부는 그 밑면이 상기 절연층(2)으로 분리되고, 측면사방이 절연막(8,10) 중에 다결정실리콘층(9)이 삽입된 벽과 같은 구조에 의해 주위를 둘러싸 인접하는 각 부와 분리되어 있다.

이들 유전체분리구조를 채용하기 위해서는 몇 개의 중요한 항목이 있다.

우선 제1항으로서 저농도 N형 실리콘층(4) 및 저농도 P형 실리콘층(12)의 막두께가 균일하지 않으면 안된다. 이 균일성은 $\pm 10\%$ 이내 예컨대, 소정의 두께를 $1.5\mu\text{m}$ 로 하면 $\pm 0.15\mu\text{m}$ 이하의 오차가 바람직하다.

또 제2항으로서 고농도 N형 실리콘층(3) 및 고농도 P형 실리콘층(11)의 면저항이 균일하지 않으면 안된다. 이 균일성은 $\pm 15\%$ 이내 예컨대, 소정치 $20\Omega/\square$ 에 대해서 $\pm 3\Omega/\square$ 이하의 오차가 바람직하다.

또 제3항으로서 분리도의 양측을 절연체로 완전히 포위하는 구조 때문에, 그 절연체를 메운 도량이 얇은 만큼 용이하게 된다. 따라서, 고농도 N형 실리콘층(3) 및 저농도 N형 실리콘층(4)을 합한 막두께, 또는 고농도 P형 실리콘층(11) 및 저농도 P형 실리콘층(12)을 합한 막두께는 횡방향의 유전체분리막(8,10)의 형성을 위해서는 얇은 것이 좋다. 즉 상기 막두께를 $5\mu\text{m}$ 이하가 바람직하다.

이상에서, 유전체분리구조를 채용하기 위한 분리도의 밑면으로 되는 절연층을 형성하는 반도체기판의 각 층의 막두께 정밀도가 중요하게 된다.

그리고, 그 반도체기판을 제조하는 방법은 여러종류가 알려져 있다. 우선, 제9도에 도시된 NPN형 트랜지스터만으로 구성된 반도체장치의 반도체기판의 종래의 제1제조방법을 제12도에 도시한다.

즉, 제12도(a)에 도시된 바와 같이 N⁺불순물확산공정에 있어서는 제1실리콘기판으로 되는 저농도 N형 실리콘기판(41)에 고농도 N⁺불순물을 확산시켜 고농도 N형 실리콘층(42)을 형성한다.

다음으로 제12도(b)에 도시된 바와 같이 접착공정에 있어서는 제1실리콘기판의 양측의 표면을 산화시켜, 2산화실리콘산화막(43)을 형성한다. 또 제2실리콘기판(44)을 불순물을 확산해서 형성한 상기 실리콘층(42)측의 산화막(43)에 접착한다.

다음으로 제12도(c)에 도시된 바와 같이 연마공정에 있어서는 접착된 제1 및 제2실리콘기판의 제1실리콘기판측의 표면, 즉 저농도 N형 실리콘기판(41)측으로부터 연마해서 소정 두께로 형성한다.

다음으로 종래의 제2제조방법을 제13도에 도시한다.

즉, 제13도(a)에 도시된 바와 같이 접착공정에 있어서는 제1실리콘기판인 고농도 N형 실리콘기판(45)의 양측의 표면을 산화해서, 2산화실리콘산화막(46)이 형성된다. 그리고 상기 산화막(46)에 제2실리콘기판(47)을 접착한다. 그리고, 제13도(b)에 도시된 바와 같이 연마공정에 있어서는 접착된 제1 및 제2실리콘기판의 제1실리콘기판측의 표면, 즉 고농도 N형 실리콘기판(45)측으로부터 연마하고, 접착면을 기준으로 한 소정두께로 형성한다. 다음에 제13도(c)에 도시된 바와 같이 에피택셜성장공정에 있어서는 상기 소정두께의 실리콘기판의 고농도 N형 실리콘기판(45) 측에 에피택셜성장시켜 저농도 N형 실리콘막(48)을 형성한다.

또 종래의 제3제조방법을 제14도에 도시한다.

즉, 제14도(a)에 도시된 바와 같이 에피택셜성장공정에 있어서는 제1실리콘기판인 고농도 N형 실리콘기판(49)에 에피택셜성장기에 의해 저농도 N형 실리콘막(50)을 성장시킨다.

다음에 제14도(b)에 도시된 바와 같이 접착공정에 있어서는 제1실리콘기판의 양측의 표면을 산화시켜, 2산화실리콘산화막(51)을 형성한다. 또 제2실리콘기판(52)을 상기 실리콘막(50)측의 상기 산화막(51)에 접착한다. 그후에 접착된 실리콘기판을 질소/산소분위기에서 열처리한다. 그리고 불산용액에 담가서 상기 고농도 N형 실리콘기판(49)측의 2산화실리콘산화막(51)을 제거한다.

이어서 제14도(c)에 도시된 바와 같이 선택에칭공정에 있어서는 고농도 N형 실리콘에 대해서 에칭선택비가 높은 에칭용액을 이용해서, 고농도 N형 실리콘(49)만을 선택에칭제거한다. 이어서 제14도(d)에 도시된 바와 같이 N⁺불순물확산공정에 있어서는 에칭된 실리콘기판의 저농도 N형 실리콘막(50)에 고농도 N⁺불순물을 확산시킨다. 그리고 제14도(e)에 도시된 바와 같이 에피택셜성장기에 있어서는 고저항농도로 된 N형 실리콘막(53)상에 저농도 N형 실리콘막(54)을 에피택셜성장시킨다. 또 상기 N형 실리콘기판(49) 대신에 P형 실리콘기판을 이용해도 동일하게 제조된다.

이상의 3개의 제조방법 중 어느 것에 의해서 제조된 반도체기판을 이용해서, 분리구조를 갖춘 NPN형 트랜지스터의 반도체장치를 제조하고 있다.

그리고 또 제10도에 도시된 NPN형 트랜지스터와 PNP형 트랜지스터로 구성된 반도체장치 및 제11도에 도시된 NPN형 트랜지스터와 PNP형 트랜지스터를 갖춘 Bi-CMOS 구조의 반도체장치에 이용되는 반도체기판의 종래의 제조방법은 상기한 NPN형 트랜지스터만 갖춘 것의 경우와 각 제조방법에 있어서 다음과 같은 점이 다르다.

종래의 제1제조방법에서는 제12도(a)의 N⁺불순물확산공정에 대신해서 제15도(a)에 도시된 N⁺, P⁺불순물선택확산공정으로 제1실리콘기판으로 되는 저농도 N형 실리콘기판(41)에 고농도 N형 불순물 및 고농도 P형 불순물을 선택확산시켜 고농도 N형 실리콘층(55) 및 고농도 P형 실리콘층(56)을 형성한다. 또 접착공정 이후는 제12도와 같이 행해서, 제15도(b)에 단면을 도시한 반도체기판을 얻는다.

종래의 제2제조방법에서는 제13도의 제1실리콘기판인 고농도 N형 실리콘기판(45)에 대신해서 제16도(a)

의 N, P 불순물선택확산공정을 설치하고, 예컨대 저농도 N형 실리콘기판에 고농도 N형 및 고농도 P형 불순물을 선택확산해서 형성한, 고농도 N형 실리콘층(57) 및 고농도 P형 실리콘층(58)을 갖춘 실리콘기판을 사용한다. 그리고 제13도(a)의 접착공정 이후는 거의 동일하게 실시해서, 제16도(b)에 단면을 도시한 반도체기판을 얻는다.

종래의 제3제조방법에서는 제14도(c)의 선택에칭공정까지는 동일하게 행한 후, 제14도(d)의 N 불순물확산공정에 대신해서 제17도(a)에 도시된 N, P 불순물선택확산공정으로 저농도 N형 실리콘막(50)에 고농도 N형 불순물 및 고농도 P형 불순물을 선택확산해서 고농도 N형 실리콘막(59) 및 고농도 P형 실리콘막(60)을 형성한다. 그리고 고농도 N형 실리콘막(59) 및 고농도 P형 실리콘막(60)상에 저농도 N형 실리콘막(54)을 에피택셜성장시키고, 제17도(b)에 단면을 도시한 반도체기판을 얻는다.

이상 3가지의 제조방법 중 어느 하나에 의해 제조된 반도체기판을 이용해서 분리구조를 갖춘 NPN형 트랜지스터와 PNP형 트랜지스터로 구성되는 반도체장치를 제조하고 있다.

또 다른 분리방법으로서 제18도에 종래의 P형 불순물확산에 의한 절연확산층이 이용된 반도체직접회로소자(NPN형 트랜지스터)를 도시한다. 즉, P형 실리콘기판(61)상에 고농도 N형 실리콘층(73)을 매립층으로서 설치하고, 그 위를 덮도록 저농도 N형 실리콘층(62)을 형성한다. 이들을 둘러싸도록 P형 불순물확산층에 의한 절연확산층(64)을 설치하고, 다른 회로소자와 분리하고 있다.

그리고 컬렉터로 되는 N형 불순물확산층(65)이 상기 고농도 N형 실리콘층(63)상에 형성되어 있다.

또 상기 저농도 N형 실리콘층(62)중에 베이스로 되는 P형 불순물확산층(66)이 형성되고, 또 이 확산층(66)중에 에미터로 되는 N형 불순물확산층(67)이 형성되어 있다.

이 NPN형 트랜지스터의 형성에 이용되는 분리방법은 종래의 반도체직접회로내의 다른 회로소자와 분리하는 경우에 통상 이용되고 있다. 그러나 상기 P형 실리콘기판(61)과 고농도 N형 실리콘층(63)간에 접합용량이 존재하고 회로소자와 동작의 고속화를 방해하는 방향으로 작용하고 있다. 또 분리도를 형성함에 있어서 P형 불순물확산에 의한 절연확산층(64)에 의해 다른 회로소자와 분리되어 있으므로, 절연체를 이용하는 경우보다도 분리도가 폭넓게 되어 있다.

상기한 바와 같은 제조방법 중 어느 하나에 의해 반도체기판을 제조하는 경우에도 다음과 같은 과제가 있다.

통상, 실리콘기판(135mm 실리콘웨이퍼)의 평탄도는 양품으로 되는 것에서도 1.0 μ m 정도의 차가 있다. 따라서 종래의 제1제조방법은 제12도(c)연마공정에서는 저농도 N형 실리콘층(41)의 막두께의 균일성을 실리콘기판 전면에 있어서, 그 막두께의 $\pm 10\%$ 이내, 즉 ± 0.15 이하로 연마하는 것은 곤란하다.

또 종래의 제2제조방법에서는 실리콘기판(125 μ m 실리콘웨이퍼)를 연마해서 삭제하고, 에피택셜성장시킴에 따라 막두께를 소정 두께로 만들기 위해 제13도(c), 제16도(b)에 있어서의 고농도 N형 실리콘층(45) 및 저농도 N형 실리콘층(48)을 합한 막두께, 또는 고농도 N형 실리콘층(57)과 고농도 P형 실리콘층(58)을 갖춘 실리콘층 및 저농도 N형 실리콘층(48)을 합한 막두께는 3.5 μ m 정도로 할 수 있다.

그런데 제13도(b)의 연마공정에서 상기한 바와 같은 실리콘기판에 평탄도의 차를 갖추고 있으므로 연마된 고농도 N형 실리콘층(45)의 막두께의 균일성이 악화된다. 이에 따라 면저항의 균일성이 없게 되고, 샘플데미터에 의하면 42% 내지 34%의 차가 생긴다. 마찬가지로 연마된 고농도 N형 실리콘층(57)과 고농도 P형 실리콘층(58)을 갖춘 실리콘층도 막두께의 균일성이 악화되어 면저항의 균일성이 없게 되고, 샘플데미터에 의하면 25% 내지 35%의 차가 생긴다. 일반적으로 고농도 N형 실리콘막 또는 고농도 P형 실리콘막은 불순물농도가 약 5×10^{18} atm/cm 이상으로 되면, 막두께측정에 이용되는 적외선이 투과하지 못하고, 막두께 측정을 할 수 없다. 즉, 고농도 N형 실리콘층(45) 또는 고농도 N형 실리콘층(57)과 고농도 P형 실리콘층(58)을 갖춘 실리콘층을 연마해서 소정의 두께로 하는 제어가 곤란한 경우가 있다.

또 종래의 제3제조방법에 의하면, 고, 저농도 N형 실리콘층의 소정두께와 막두께의 균일성이 상기한 항목을 만족시키고, 면저항도 항목을 만족시킬 수 있다. 그런데 제14도(a)의 에피택셜성장공정에 있어서 고농도 N형 실리콘층(49)에 저농도 N형 실리콘층(50)을 에피택셜성장시킨 경우에 반응생성물등의 입자가 상기 실리콘층(49)의 표면에 부착할 확률이 높고, 표면에 요철이 만들어진다. 이 표면상태에서 산화시켜, 2산화실리콘산화막(51)을 형성하고, 제2실리콘기판(52)을 상기 실리콘막(50)층의 상기 산화막(51)에 접착하는 경우에 그 접착면에 공동이 생기는 것이 있다. 또 에피택셜성장공정은 다른 공정에 비하면 비용이 많이 들고, 그것을 두 번 반복하므로 비용이 상승하고, 게다가 이 방법은 제조공정이 번잡하다. 이 때문에 제3제조방법은 분리구조를 갖춘 반도체장치를 양산하기에는 바람직하지 못하다.

[발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 특히 반도체기판의 평탄도 및 연마공정의 정밀도의 영향을 없애고 회로소자형성층의 막두께와 저항의 균일화를 도모하고, 유전체분극구조를 갖춘 반도체기판 제조의 정밀도를 개량함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 소정 도전형의 제1 및 제2반도체기판의 적어도 각 한쪽면을 경면연마(鏡面研磨)하는 제1공정과, 상기 제1공정에 의해 경면연마된 상기 한쪽면상의 어느 것에 유전체막을 형성하는 제2공정, 상기 제2공정에 의해 형성된 상기 유전체막이 삽입장착되도록 해서 상기 제1 및 제2반도체기판의 각 경면층을 대향시켜 접합하고 열처리하는 제3공정, 상기 제3공정에 의해 각 경면층을 대면시켜 접합한 상기 제1 및 제2반도체기판의 어느 한쪽면을 상기 유전체막층을 기준으로 해서 소정의 두께로 연삭하는 제4공정, 상기 제4공정에 의해 소정두께로 연삭된 면에 고농도불순물을 도입하는 제5공정, 상기 제5공정에 의해 고농도 불순물이 도입된 면상에 저농도불순물 반도체층을 형성하는 제6공정을 구비한 것을 특징으로 하는 반도체기판의 제조방법을 이용하고 있다.

또 상기 제조방법의 제5공정에서 소정의 두께로 연삭된 면에 고농도 N형 불순물과 고농도 P형 불순물을 각각의 소정 영역에 도입하는 것을 특징으로 하는 반도체기판의 제조방법을 이용하고 있다.

(작용)

상기한 바와 같이 구성된 본 발명에 의하면, 반도체기판의 평탄도 및 연마공정의 정밀도의 영향을 없애고, 회로소자형성층의 막두께와 저항의 균일화를 도모하며, 이러한 유전체분리구조를 갖춘 반도체기판의 제조정밀도를 개량할 수 있고, 더 나아가서는 이 반도체기판을 이용한 반도체장치의 양산에 기여할 수 있다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 실시예를 상세히 설명한다.

본 발명의 제1실시예를 제1도 내지 제4도에 따라 설명한다.

제1도(a) 내지 (g)는 본 발명의 제1실시예에 따른 유전체분리구조를 갖춘 반도체기판의 제조방법을 도시한 공정도이다.

먼저, 제1도(a)에 도시한 바와 같이 제1N형 실리콘기판(70)을 기계화학연마에 의해 경면연마하는 공정을 수행한다.

다음에, 제1도(b)의 공정에 있어서, 예컨대 직경 125mm, 두께 625 μ m, 결정방위(100), 비저항 1 내지 2 $\Omega \cdot \text{cm}$ 의 적어도 한쪽면이 경면연마(鏡面研磨)된 제1N형 실리콘기판(70)의 양면에 막두께 1 μ m의 2산화실리콘층(71; 유전체층)을 형성한다.

다음에, 제1도(c)의 공정에 있어서, 직경 125mm, 두께 625 μ m, 결정방위(100), 비저항 5 내지 10 $\Omega \cdot \text{cm}$ 의 제2N형 실리콘기판(72; 실리콘웨이퍼를 이용한 경우에, 결정방위, 비저항, 모양등의 제한은 없다)의 적어도 한쪽면을 경면연마하고, 경면연마된 제2실리콘기판(72)을 유전체층(71)을 형성한 제1N형 실리콘기판(70)에 접착법에 의해 접합하는데, 이 때 상기 제1실리콘기판(70)과 제2실리콘기판(72)의 서로 경면연마된 면측이 대면되도록 해서 대기중, 실온으로 접합시킨다.

그후, 제1도(d)의 공정에 있어서 상기 기판을 $N_2 : O_2 = 4 : 1$ (용적비)의 분위기가스 중에서 1100 $^{\circ}\text{C}$ 로 2시간 열처리하는 열처리법에 의해 제1 및 제2실리콘기판(70, 72)을 유전체층(71)을 매개로 접착을 실시한다.

다음에, 제1도(e)에 도시된 바와 같이 연마공정에 있어서, 접착된 제1 및 제2실리콘기판(70, 72)에 평면연삭판을 이용해서 제1실리콘기판(70)을 약 15 μ m의 두께로 연삭한다. 이 연삭된 면을 기계화학연마(mechano-chemical polishing)에 의해 실리콘기판중앙의 평균두께가 2.5 μ m로 되도록 경면연마한다.

그리고 제1도(f)에 도시된 바와 같이 N⁺불순물확산공정에 있어서는 상기 제1실리콘기판(70)에 산화안티몬(Sb_2O_3)의 고체확산원을 이용한 통상의 확산방법에 의해 불순물확산을 행한다. 즉, N_2 분위기 가스중에서 1250 $^{\circ}\text{C}$, 60분간(상기 고체확산원은 950 $^{\circ}\text{C}$ 로 유지되고 있다)의 N⁺불순물확산을 행한다. 이에 따라 면저항이 평균치 20 Ω / \square 의 고농도 N형 실리콘층(73)을 형성한다.

그 후 제1도(g)에 도시된 바와 같이 에피택셜성장공정에 있어서는 상기 고농도 N형 실리콘층(73)상에 저농도 N형 실리콘층(74)을 에피택셜성장시킨다. 즉, SiHCl_3 가스를 이용해서 소정의 온도에서 1.5 μ m의 저농도 N형 실리콘층(74)을 고농도 N형 실리콘층(73)상에 에피택셜성장시킨다.

이와 같은 공정으로 50개의 유전체분리실리콘기판의 샘플을 만들었다.

제2도에 상기 샘플의 고농도 N형 실리콘층(73)의 면저항 면내분포의 경향을 도시한다. 그리고 제3도에 그 측정점으로서 상기 실리콘기판상의 중심점(Q)과 외주에서 거리 a(5mm) 내측에 들어온 4점 Z, Z₁, Z₂, Z₃와 이들의 합, 즉 5점의 측정점을 도시한다.

즉, 제3도의 측정점에서의 최대치로부터 최소치의 차를 면저항의 분포 또는 오차치로서 제2도의 확률에, 종축에는 샘플수를 취하고 있다. 이에 따라 면저항분포치의 면내분포의 평균치는 3.47 Ω / \square 의($\pm 8.7\%$), 즉 소정치 20 Ω / \square 에 대해서 $\pm 1.735\Omega / \square$ 의 오차로 된다. 따라서, 상기한 $\pm 15\%$ 이내의 균일성을 충분히 확보할 수 있다.

또 제4도에 상기와 같은 샘플의 에피택셜성장시킨 막(74; 저농도 N형 실리콘층)의 막두께분포의 경향을 도시한다. 여기서 실리콘기판상의 5점의 측정점을 상기한 제3면저항의 측정점과 같은 위치이다. 또 상기 에피택셜성장막두께의 값은 최대치로부터 최소치의 차를 막두께의 값으로 했다. 이 값을 제4도의 확률으로 하고, 종축에는 샘플수를 취하고 있다. 이에 따라 N형 에피택셜성장된 막의 막두께분포의 평균치는 0.19($\mu\text{m} \pm 6.3\%$), 즉 소정치 1.5 μm 에 대해서 ± 0.095 의 오차로 된다. 따라서 상기한 소정의 막두께 $\pm 10\%$ 이내의 균일성을 충분히 확보할 수 있다.

그리고 고농도 N형 실리콘층(73)의 막두께 2.5 μ m와 저농도 N형 실리콘층(74)의 막두께 1.5 μ m의 합계 두께가 4 μ m로 되고, 분리도를 형성하기 위한 합으로는 충분하다.

다음으로 본 발명의 제2실시예를 제5도 내지 제9도에 의해 설명한다. 또 제1도와 동일한 부분에는 동일한 참조부호를 표기하고, 다른 부분에 대해서 설명한다.

제5도(a) 내지 (e)는 본 발명의 제2실시예의 유전체분리구조를 갖춘 반도체기판의 제조방법을 도시한 공정도이다.

즉, 본 실시예에 있어서 제5도(a)의 접착공정 및 제5도(b)의 연마공정을 제1도의 접착공정 및 연마공정

과 동일하게 실시한다.

다음으로 제5도(c)에 도시된 바와 같이 N⁺불순물확산공정에 있어서는 상기 제1실리콘기판(70)상면에 산화막(75)을 형성하고, 이 산화막(75)을 사진식각법으로 N⁺불순물을 확산시키지 않은 영역에 대해서는 덮은 그대로 하고, N⁺불순물을 확산시킨 영역에 대해서는 제거한다. 그 후 3산화안티몬(Sb₂O₃)의 고체확산원을 이용한 통상의 확산방법에 의해 N⁺불순물확산을 행한다. 즉, N₂분위기에서 1250°C, 60분간(상기 고체확산원은 950°C로 유지되고 있다)의 N⁺불순물확산을 행한다. 이에 따라 면저항이 평균치 20 Ω /□의 고농도 N형 실리콘층(76)을 형성한다.

그리고 제5도(d)에 도시된 바와 같이 P⁺불순물선택확산공정에 있어서는 N⁺불순물확산을 행한 상기 제1실리콘기판(70)상면에 산화막(77)을 형성하고, 이 산화막(77)을 사진식각법으로 P⁺불순물을 확산시키지 않은 영역에 대해서는 덮은 채로 두고, P⁺불순물을 확산시킨 영역에 대해서는 제거한다. 그 후, BSG(Boron Silicate Glass)를 이용한 통상적인 확산방법에 의해 P⁺불순물확산을 행한다. 이에 따라 면저항이 평균치 20 Ω /□의 고농도 P형 실리콘층(78)을 형성한다.

그 후에 제5도(e)에 도시된 바와 같이 에피택셜성장공정에 있어서는 상기 고농도 N형 실리콘층(76) 및 상기 고농도 P형 실리콘층(78)의 양 측상에 저농도 N형 실리콘층(79)을 에피택셜성장시킨다. 즉, SiHCl₃ 가스를 이용해서 소정의 온도로 1.5 μ m의 저농도 N형 실리콘층(79)을 고농도 N형 실리콘층(76) 및 상기 고농도 P형 실리콘층(78)의 양 측상에 에피택셜성장시킨다.

이와 같이 제5도(a) 내지 (e)까지의 공정을 실시해서 N⁺불순물확산으로 형성된 고농도 N형 실리콘층(76)과 P⁺불순물확산으로 형성된 고농도 P형 실리콘층(78)을 제6도에 도시된, 한변의 길이가 b(15mm)인 바둑무늬형태로 배치된 50개의 유전체분리실리콘기판(샘플 A)을 작성하였다.

또 이들과 다르게 제5도(a) 내지 (d)까지의 공정을 실시해서 [제5도(e)의 에피택셜성장공정을 제외하고] 50개의 유전체분리실리콘기판(샘플 B)을 작성하였다.

또 이들과 다르게 제5도(a) 내지 (d)까지의 공정을 실시해서 [제5도(e)의 에피택셜성장공정을 제외하고] 50개의 유전체분리실리콘기판(샘플 B)을 작성하였다.

제7도에 상기 샘플 B의 고농도 N형 실리콘층(76) 및 고농도 P형 실리콘층(78)의 면저항내분포의 경향을 도시한다. 그리고 그 측정점은 제6도에 도시하고, 실리콘기판의 중심 O(P⁺층), 중심 O로부터 도면중 좌우거리 c(30mm)만큼 떨어진 점 X₁, X₂(P⁺층), 상하로 거리 d(45mm)만큼 떨어진 점 Y₁, Y₂(N⁺층)의 5점으로 한다.

즉, 제6도의 측정점을 P⁺층의 측정점(3점)의 그룹(P)과, N⁺층의 측정점(2점)의 그룹(N)으로 분리하고, 각 그룹내의 최대치와 최소치의 차를 면저항분포 또는 오차치로 한다. 다음으로 그룹(P)과 그룹(N)의 값 중에서 큰 방향의 값을 실리콘기판에서의 면저항의 분포 또는 오차값으로 하고, 제7도의 필측에 취하고, 종측에는 샘플수를 취하고 있다. 이에 따라 면저항분포값의 면내분포의 평균치는 3.54 Ω /□ (\pm 8.85%), 즉소정치 20 Ω /□에 대해 \pm 1.77 Ω /□의 오차로 된다. 따라서, 상기한 \pm 15%이내의 균일성을 충분히 확보할 수 있다.

또 제8도에 상기 샘플(A)의 에피택셜성장시킨 막(79; 저농도 N형 실리콘층)의 막두께분포의 경향을 도시한다. 여기서 실리콘기판상의 5점의 측정점은 상기한 제6도의 면저항의 측정점과 같은 위치이다. 또 상기 에피택셜성장막두께의 값은 최대치로부터 최소치의 차를 막두께의 값으로 한다. 이 값을 제8도의 필측으로 하고, 종측은 샘플수를 취하고 있다. 이에 따라 N형 에피택셜성장시킨 막의 막두께 분포의 평균치는 0.23 μ m (\pm 7.7%), 즉 소정치 1.5 μ m에 대해 \pm 0.115의 오차로 된다. 따라서 상기한 소정 막두께의 \pm 10% 이내의 균일성을 충분히 유지할 수 있다.

또 실리콘기판간의 면저항 및 막두께분포의 균일성도 거의 상기와 같은 정도의 값이고, 실용화에 충분한 값이다.

그리고, 고농도 N형 실리콘층(76) 및 고농도 P형 실리콘층(78)의 막두께 2.5 μ m와 저농도 N형 실리콘층(79)의 막두께 1.5 μ m의 합계 두께가 4 μ m로 되고, 분리도를 형성하기 위한 합으로 충분하다.

또 제18도에 도시된 종래의 절연확산층을 이용해서 분리된 것과 비교하면, 이를 제조방법에 의한 유전체 분리구조를 갖춘 반도체기판에 형성된 반도체직접회로는 P형 실리콘기판과 고농도 N형 불순물확산층에 의한 매립층간에 있는 접합용량이 없어지고, 회로소자의 동작의 고속화가 용이하게 된다. 또 각 본 실시예에 의한 반도체직접회로는 절연층에 의해 분리되므로 제18도에 도시된 종래의 것에 비해 얇은 층으로 분리될 수 있어 회로소자의 고집적화가 용이하게 된다.

따라서 본 발명의 유전체분리구조를 갖춘 반도체기판의 제조방법은 회로소자형성층의 막두께와 저항의 균일화를 도모할 수 있고, 이에 따라 종래에서는 생산으로의 도입, 실용화가 곤란했던 완전유전체분리구조의 반도체직접회로가 실현될 수 있다.

그 밖에, 본 발명의 유전체분리구조를 갖춘 반도체기판의 제조방법을 본 발명의 요지를 이탈하지 않는 범위에서 각종 변형이나 응용을 할 수 있음은 물론이다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도에서 병기한 것은 아니다.

[발명의 효과]

상기한 바와 같이 본 발명에 의하면, 반도체기판의 평탄도 및 연마공정의 정밀도의 영향을 없애고, 회로 소자형성층의 막두께와 저항의 균일화를 도모하며, 이 반도체기판제조의 정밀도를 개량할 수 있다.

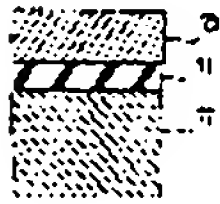
(57) 청구의 범위

청구항 1. 소정의 도전형 제1 및 제2반도체기판(70,72)의 적어도 각 한쪽면을 경면연마하는 제1공정과, 상기 제1공정에 의해 경면연마된 상기 한쪽면상의 어느 것에 유전체막(71)을 형성하는 제2공정, 상기 제2공정에 의해 형성된 상기 유전체막(71)이 삽입장착되도록 해서 상기 제1 및 제2반도체기판(70,72)의 각 경면측을 대면시켜 접합하고 열처리하는 제3공정, 상기 제3공정에 의해 각 경면측을 대면시켜 접합한 상기 제1 및 제2반도체기판(70,72)의 어느 한쪽면을 상기 유전체막(71)측을 기준으로 소정의 두께로 연삭하는 제4공정, 상기 제4공정에 의해 소정두께로 연삭된 면에 저농도불순물을 도입하는 제5공정, 상기 제5공정에 의해 고농도 불순물이 도입된 면상에 저농도불순물 반도체층(74)을 형성하는 제6공정을 구비한 것을 특징으로 하는 반도체기판의 제조방법.

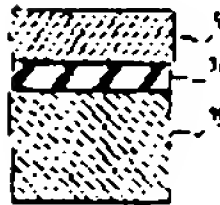
청구항 2. 제1항에 있어서, 제5공정에서 소정의 두께로 연삭된 면에 고농도 N형 불순물과 고농도 P형 불순물을 각각 소정의 영역에 도입하는 것을 특징으로 하는 반도체기판의 제조방법.

도면

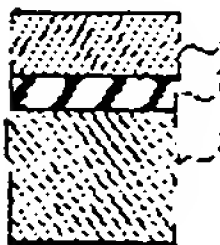
도면14-a



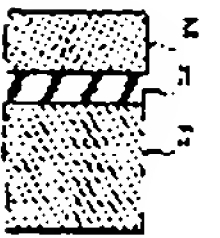
도면14-d



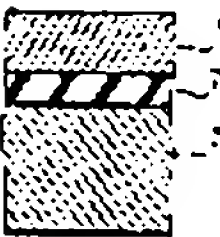
도면14-e



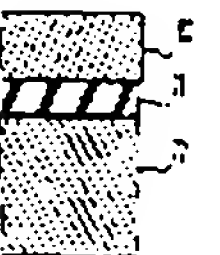
도면14-b



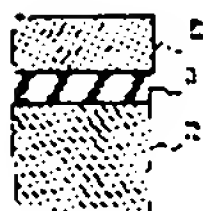
도면13-a



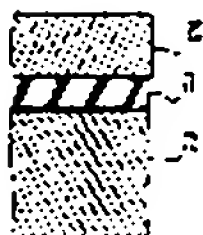
도면13-b



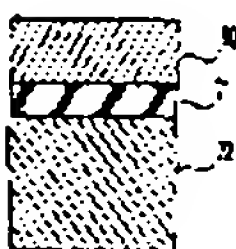
도면 12-a



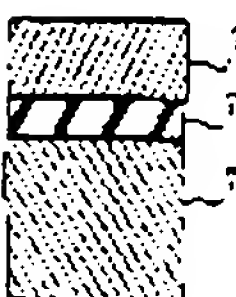
도면 12-b



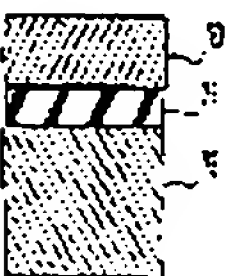
도면 5-a



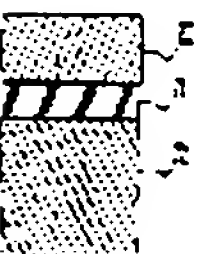
도면 5-b



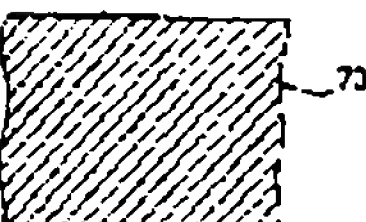
도면 5-c



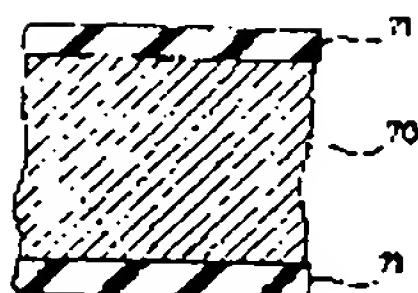
도면 5-d



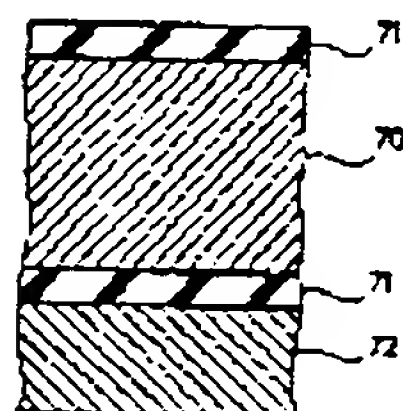
도면 1-a



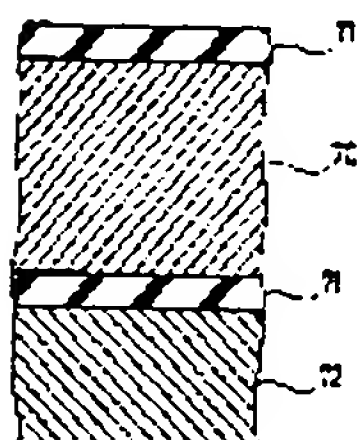
도면1-b



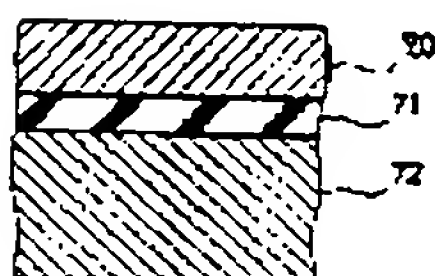
도면1-c



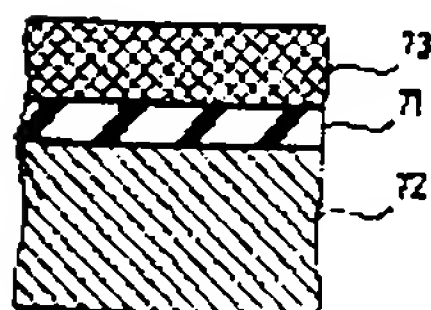
도면1-d



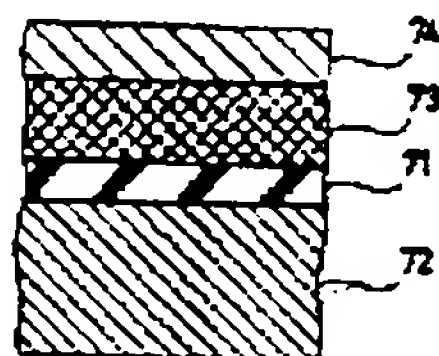
도면1-e



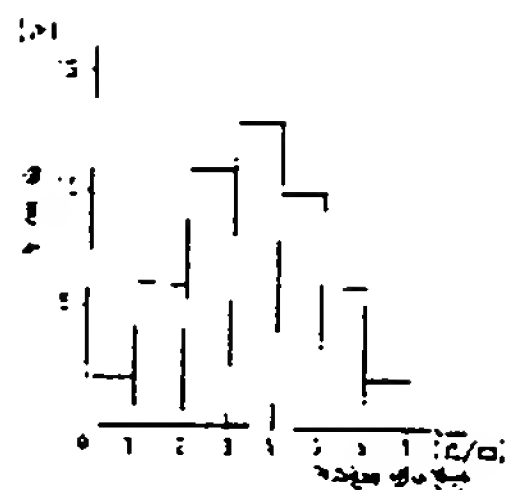
도면1-f



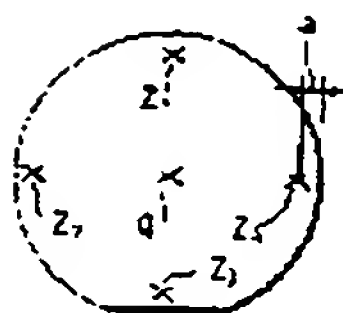
도면1-g



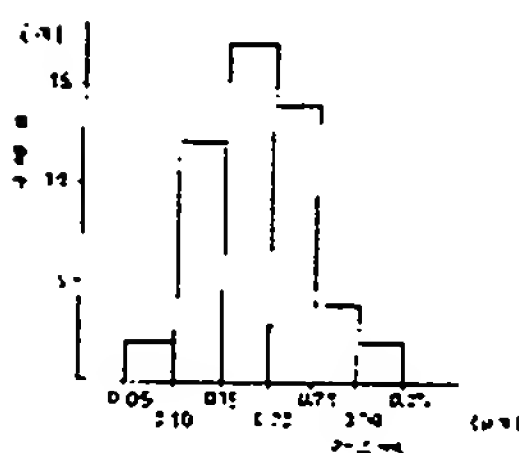
도 22



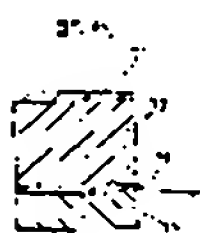
도 23



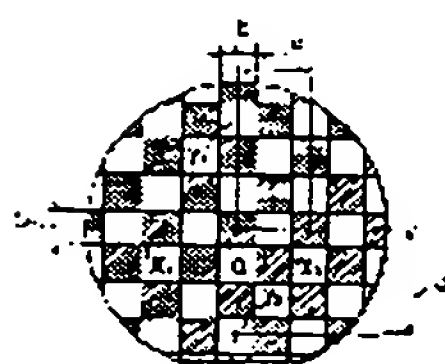
도 24



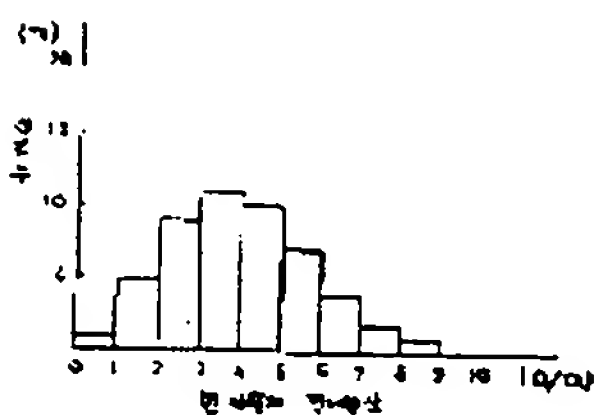
도 25-a



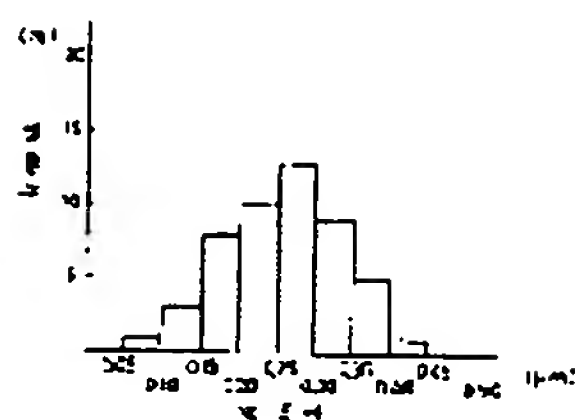
도 26



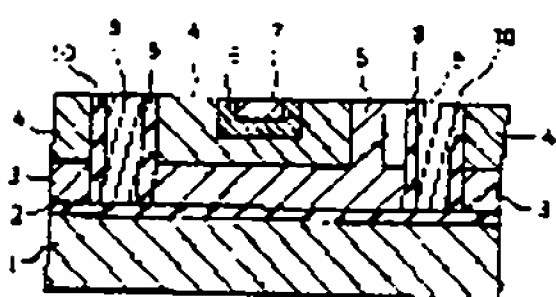
도 27



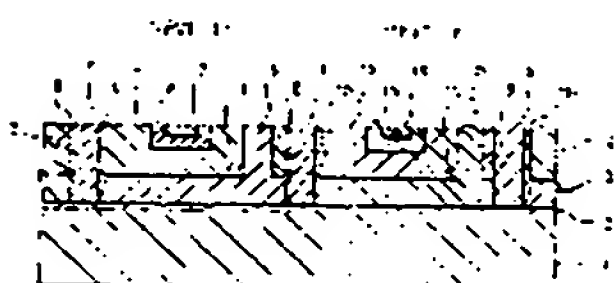
도 8



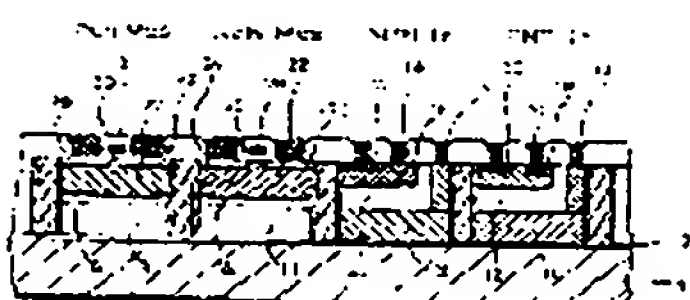
도 9



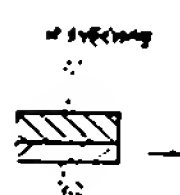
도 10



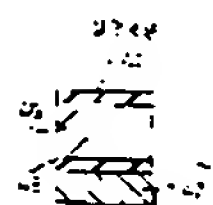
도 11



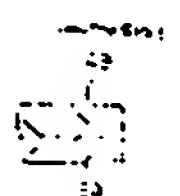
도 12-a



도 13-a

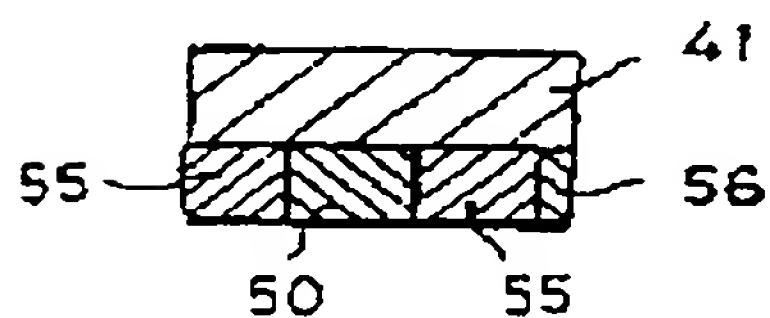


도 14-a

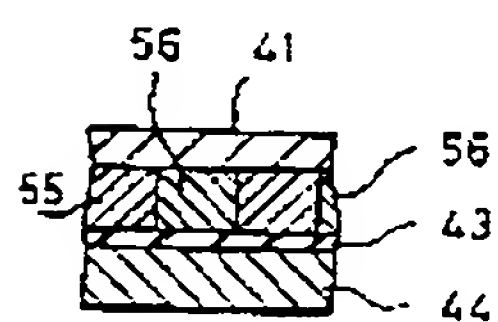


도면 15-a

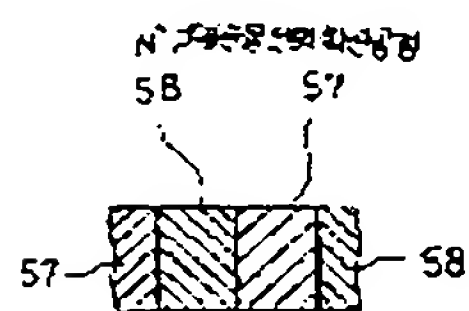
N⁺P⁺ 불순물 선택 확산 공정



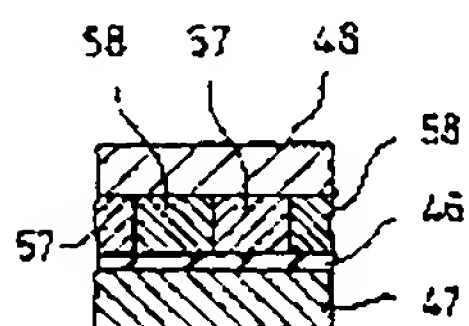
도면 15-b



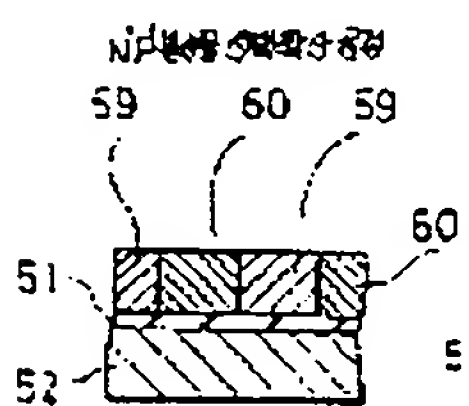
도면 16-a



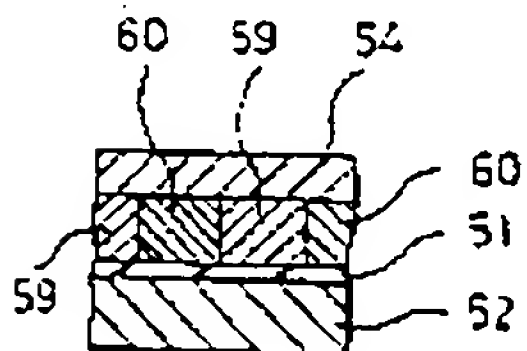
도면 16-b



도면 17-a



도면 17-b



도면18

